



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0021394
(43) 공개일자 2024년02월19일

(51) 국제특허분류(Int. Cl.)
H01L 21/302 (2006.01) H01L 21/324 (2017.01)
H01L 23/544 (2006.01)
(52) CPC특허분류
H01L 21/302 (2013.01)
H01L 21/324 (2013.01)
(21) 출원번호 10-2022-0099653
(22) 출원일자 2022년08월10일
심사청구일자 2022년08월10일

(71) 출원인
한국과학기술원
대전광역시 유성구 대학로 291(구성동)
(72) 발명자
이정철
대전광역시 유성구 대학로 291, 한국과학기술원 (구성동)
정문경
대전광역시 유성구 대학로 291, 한국과학기술원 (구성동)
(뒀면에 계속)
(74) 대리인
박영우

전체 청구항 수 : 총 20 항

(54) 발명의 명칭 캐비티 웨이퍼 제작 방법

(57) 요약

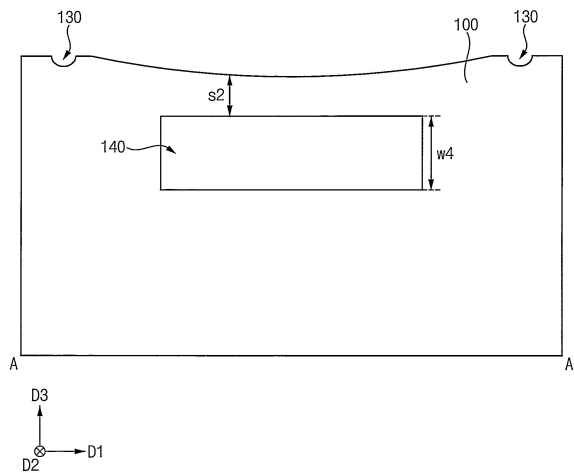
캐비티 웨이퍼 제작 방법에서, 반도체 물질을 포함하는 웨이퍼의 상부에 리세스들을 형성할 수 있다. 상기 웨이퍼에 어닐링 공정을 수행하여 상기 웨이퍼에 표면 확산 현상을 발생시킴으로써, 상기 리세스들이 서로 연결되어 캐비티를 형성할 수 있다. 기준 온도(T2)에서 상기 어닐링 공정에 의해 상기 리세스들이 상기 캐비티로 변환되기 위해 소요되는 시간에 대한 실제 온도(T1)에서 상기 어닐링 공정에 의해 상기 리세스들이 상기 캐비티로 변환되기 위해 소요되는 시간의 비율($t_{ratio}(T1/T2)$)은 다음 식 (1)에 의해 계산될 수 있으며,

$$t_{ratio}(T1/T2) = e^{-a(1-T2/T1)} \sim \text{식 (1)}$$

(T1, T2: 절대온도, $a = E/kBT2$, E: 상기 반도체 물질의 활성화 에너지, kB: 볼츠만 상수)

상기 계산된 시간 비율에 따라 상기 실제 온도(T1)에서 상기 어닐링 공정이 수행될 수 있다.

대표도 - 도4



(52) CPC특허분류

H01L 23/544 (2013.01)

B81B 2201/02 (2013.01)

H01L 2223/54426 (2013.01)

(72) 발명자

김태영

대전광역시 유성구 대학로 291, 한국과학기술원 (구
성동)

이봉재

대전광역시 유성구 대학로 291, 한국과학기술원 (구
성동)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711148624

과제번호 2020R1A2C3004885

부처명 과학기술정보통신부

과제관리(전문)기관명 한국연구재단

연구사업명 이공분야기초연구사업

연구과제명 레이저 가열 어닐링 기반 순물질 및 화합물 반도체 국소 공동 자가 조립 기술 개발

및 응용

기여율 1/1

과제수행기관명 한국과학기술원

연구기간 2021.03.01 ~ 2022.02.28

명세서

청구범위

청구항 1

반도체 물질을 포함하는 웨이퍼의 상부에 리세스들을 형성하고; 그리고

상기 웨이퍼에 어닐링 공정을 수행하여 상기 웨이퍼에 표면 확산 현상을 발생시킴으로써, 상기 리세스들이 서로 연결되어 캐비티를 형성하는 것을 포함하며,

기준 온도(T2)에서 상기 어닐링 공정에 의해 상기 리세스들이 상기 캐비티로 변환되기 위해 소요되는 시간에 대한 실제 온도(T1)에서 상기 어닐링 공정에 의해 상기 리세스들이 상기 캐비티로 변환되기 위해 소요되는 시간의 비율($t_{ratio}(T1/T2)$)은 다음 식 (1)에 의해 계산되며,

$$t_{ratio}(T1/T2) = e^{-a(1-T2/T1)} \sim \text{식 (1)}$$

(T1, T2: 절대온도, $a = E/kBT2$, E: 상기 반도체 물질의 활성화 에너지, kB: 볼츠만 상수)

상기 계산된 시간 비율에 따라 상기 실제 온도(T1)에서 상기 어닐링 공정이 수행되는 캐비티 웨이퍼 제작 방법.

청구항 2

제 1 항에 있어서, 상기 반도체 물질의 활성화 에너지가 알려지지 않은 경우,

상기 기준 온도(T2) 이외의 다른 온도에서 상기 어닐링 공정을 수행하여 상기 리세스들이 상기 캐비티로 변환되기 위해 소요되는 시간을 측정함으로써, 식 (1)의 a값을 계산하는 것을 특징으로 하는 캐비티 웨이퍼 제작 방법.

청구항 3

제 1 항에 있어서, 상기 웨이퍼에 상기 어닐링 공정을 수행하기 이전에,

상기 리세스들이 형성된 상기 웨이퍼의 상면에 커버를 배치하는 것을 더 포함하는 것을 특징으로 하는 캐비티 웨이퍼 제작 방법.

청구항 4

제 3 항에 있어서, 상기 커버는 상기 웨이퍼와 동일한 반도체 물질을 포함하는 것을 특징으로 하는 캐비티 웨이퍼 제작 방법.

청구항 5

제 3 항에 있어서, 상기 커버가 배치되지 않은 상기 웨이퍼의 상면에는 공기 중의 산소가 상기 웨이퍼에 포함된 상기 반도체 물질과 결합하여 기체가 생성되고,

상기 기체가 상기 웨이퍼의 상면으로부터 배출되어 상기 웨이퍼의 상면에 결합이 발생하는 것을 특징으로 하는 캐비티 웨이퍼 제작 방법.

청구항 6

제 1 항에 있어서, 상기 캐비티를 형성한 이후에,

상기 웨이퍼의 상부에 평탄화 공정을 수행하는 것을 더 포함하는 캐비티 웨이퍼 제작 방법.

청구항 7

제 6 항에 있어서, 상기 평탄화 공정은 화학 기계적 연마(CMP) 공정을 포함하는 것을 특징으로 하는 캐비티 웨이퍼 제작 방법.

청구항 8

제 6 항에 있어서, 상기 웨이퍼의 상부에 상기 리세스들이 형성된 영역을 둘러싸는 얼라인 키를 형성하는 것을 더 포함하며,

상기 평탄화 공정은 상기 얼라인 키에 의해 둘러싸이는 상기 웨이퍼 영역의 상면에 수행되는 것을 특징으로 하는 캐비티 웨이퍼 제작 방법.

청구항 9

제 1 항에 있어서, 상기 각 리세스들은 상기 웨이퍼의 상면에 수직한 수직 방향으로 형성된 측벽을 포함하는 것을 특징으로 하는 캐비티 웨이퍼 제작 방법.

청구항 10

제 1 항에 있어서, 상기 어닐링 공정은 10^{-6} Torr 이하의 고진공 상태에서 수행되는 것을 특징으로 하는 캐비티 웨이퍼 제작 방법.

청구항 11

제 1 항에 있어서, 상기 어닐링 공정은 불활성 기체 분위기 하에서 수행되는 것을 특징으로 하는 캐비티 웨이퍼 제작 방법.

청구항 12

제 1 항에 있어서, 상기 어닐링 공정은 800도 이상의 온도에서 수행되는 것을 특징으로 하는 캐비티 웨이퍼 제작 방법.

청구항 13

반도체 물질을 포함하는 웨이퍼의 상부에 리세스들을 형성하고;

상기 리세스들이 형성된 상기 웨이퍼의 상면에 커버를 배치하고;

상기 웨이퍼에 어닐링 공정을 수행하여 상기 웨이퍼에 표면 확산 현상을 발생시킴으로써, 상기 리세스들이 서로 연결되어 캐비티를 형성하고; 그리고

상기 웨이퍼의 상부에 평탄화 공정을 수행하는 것을 포함하는 캐비티 웨이퍼 제작 방법.

청구항 14

제 13 항에 있어서, 상기 커버는 상기 웨이퍼와 동일한 반도체 물질을 포함하는 것을 특징으로 하는 캐비티 웨이퍼 제작 방법.

청구항 15

제 13 항에 있어서, 상기 커버가 배치되지 않은 상기 웨이퍼의 상면에는 공기 중의 산소가 상기 웨이퍼에 포함된 상기 반도체 물질과 결합하여 기체가 생성되고,

상기 기체가 상기 웨이퍼의 상면으로부터 배출되어 상기 웨이퍼의 상면에 결합이 발생하는 것을 특징으로 하는 캐비티 웨이퍼 제작 방법.

청구항 16

제 13 항에 있어서, 상기 평탄화 공정은 화학 기계적 연마(CMP) 공정을 포함하는 것을 특징으로 하는 캐비티 웨이퍼 제작 방법.

청구항 17

제 13 항에 있어서, 상기 웨이퍼의 상부에 상기 리세스들이 형성된 영역을 둘러싸는 얼라인 키를 형성하는 것을 더 포함하며,

상기 평탄화 공정은 상기 얼라인 키에 의해 둘러싸이는 상기 웨이퍼 영역의 상면에 수행되는 것을 특징으로 하는 캐비티 웨이퍼 제작 방법.

청구항 18

제 13 항에 있어서, 기준 온도(T2)에서 상기 어닐링 공정에 의해 상기 리세스들이 상기 캐비티로 변환되기 위해 소요되는 시간에 대한 실제 온도(T1)에서 상기 어닐링 공정에 의해 상기 리세스들이 상기 캐비티로 변환되기 위해 소요되는 시간의 비율($t_{ratio}(T1/T2)$)은 다음 식 (1)에 의해 계산되며,

$$t_{ratio}(T1/T2) = e^{-a(1-T2/T1)} \sim \text{식 (1)}$$

(T1, T2: 절대온도, $a = E/kBT2$, E: 상기 반도체 물질의 활성화 에너지, kB: 볼츠만 상수)

상기 계산된 시간 비율에 따라 상기 실제 온도(T1)에서 상기 어닐링 공정이 수행되는 캐비티 웨이퍼 제작 방법.

청구항 19

제 18 항에 있어서, 상기 반도체 물질의 활성화 에너지가 알려지지 않은 경우,

상기 기준 온도(T2) 이외의 다른 온도에서 상기 어닐링 공정을 수행하여 상기 리세스들이 상기 캐비티로 변환되기 위해 소요되는 시간을 측정함으로써, 식 (1)의 a값을 계산하는 것을 특징으로 하는 캐비티 웨이퍼 제작 방법.

청구항 20

제 13 항에 있어서, 상기 각 리세스들은 상기 웨이퍼의 상면에 수직인 수직 방향으로 형성된 측벽을 포함하는 것을 특징으로 하는 캐비티 웨이퍼 제작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 캐비티 웨이퍼 제작 방법에 관한 것이다.

배경 기술

[0002] 종래에는 웨이퍼 표면을 식각하여 리세스를 형성하고 상기 웨이퍼 상에 다른 벌크 웨이퍼를 접합시킴으로서 캐비티 웨이퍼를 제작하였다. 이에 따라 하나의 캐비티 웨이퍼를 제작하기 위해서 두 장의 웨이퍼가 소모되어 낭비가 심하다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 한국등록특허 제10-1436289호 (2014년 8월 25일 등록)

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 개선된 특성을 갖는 캐비티 웨이퍼 제작 방법을 제공하는 것이다.

과제의 해결 수단

[0005] 상기 목적을 달성하기 위해, 본 발명의 실시예들에 따른 캐비티 웨이퍼 제작 방법에서, 반도체 물질을 포함하는 웨이퍼의 상부에 리세스들을 형성할 수 있다. 상기 웨이퍼에 어닐링 공정을 수행하여 상기 웨이퍼에 표면 확산

현상을 발생시킴으로써, 상기 리세스들이 서로 연결되어 캐비티를 형성할 수 있다. 예시적인 실시예들에 있어서, 기준 온도(T2)에서 상기 어닐링 공정에 의해 상기 리세스들이 상기 캐비티로 변환되기 위해 소요되는 시간에 대한 실제 온도(T1)에서 상기 어닐링 공정에 의해 상기 리세스들이 상기 캐비티로 변환되기 위해 소요되는 시간의 비율($t_{ratio}(T1/T2)$)은 다음 식 (1)에 의해 계산될 수 있으며,

$$t_{ratio}(T1/T2) = e^{-a(1-T2/T1)} \sim \text{식 (1)}$$

(T1, T2: 절대온도, $a = E/kBT2$, E: 상기 반도체 물질의 활성화 에너지, kB: 볼츠만 상수)

상기 계산된 시간 비율에 따라 상기 실제 온도(T1)에서 상기 어닐링 공정이 수행될 수 있다.

예시적인 실시예들에 있어서, 상기 반도체 물질의 활성화 에너지가 알려지지 않은 경우에는, 상기 기준 온도(T2) 이외의 다른 온도에서 상기 어닐링 공정을 수행하여 상기 리세스들이 상기 캐비티로 변환되기 위해 소요되는 시간을 측정함으로써, 식 (1)의 a값을 계산할 수 있다.

예시적인 실시예들에 있어서, 상기 웨이퍼에 상기 어닐링 공정을 수행하기 이전에, 상기 리세스들이 형성된 상기 웨이퍼의 상면에 커버를 배치할 수 있다.

예시적인 실시예들에 있어서, 상기 커버는 상기 웨이퍼와 동일한 반도체 물질을 포함할 수 있다.

예시적인 실시예들에 있어서, 상기 커버가 배치되지 않은 상기 웨이퍼의 상면에는 공기 중의 산소가 상기 웨이퍼에 포함된 상기 반도체 물질과 결합하여 기체가 생성되고, 상기 기체가 상기 웨이퍼의 상면으로부터 배출되어 상기 웨이퍼의 상면에 결합이 발생할 수 있다.

예시적인 실시예들에 있어서, 상기 캐비티를 형성한 이후에, 상기 웨이퍼의 상부에 평탄화 공정을 수행할 수 있다.

예시적인 실시예들에 있어서, 상기 평탄화 공정은 화학 기계적 연마(CMP) 공정을 포함할 수 있다.

예시적인 실시예들에 있어서, 상기 웨이퍼의 상부에 상기 리세스들이 형성된 영역을 둘러싸는 얼라인 키를 형성하는 것을 더 포함할 수 있으며, 상기 평탄화 공정은 상기 얼라인 키에 의해 둘러싸이는 상기 웨이퍼 영역의 상면에 수행될 수 있다.

예시적인 실시예들에 있어서, 상기 각 리세스들은 상기 웨이퍼의 상면에 수직인 수직 방향으로 형성된 측벽을 포함할 수 있다.

예시적인 실시예들에 있어서, 상기 어닐링 공정은 10^{-6} Torr 이하의 고진공 상태에서 수행될 수 있다.

예시적인 실시예들에 있어서, 상기 어닐링 공정은 불활성 기체 분위기 하에서 수행될 수 있다.

예시적인 실시예들에 있어서, 상기 어닐링 공정은 800도 이상의 온도에서 수행될 수 있다.

상기 목적을 달성하기 위해, 본 발명의 실시예들에 따른 캐비티 웨이퍼 제작 방법에서, 반도체 물질을 포함하는 웨이퍼의 상부에 리세스들을 형성할 수 있다. 상기 리세스들이 형성된 상기 웨이퍼의 상면에 커버를 배치할 수 있다. 상기 웨이퍼에 어닐링 공정을 수행하여 상기 웨이퍼에 표면 확산 현상을 발생시킴으로써, 상기 리세스들이 서로 연결되어 캐비티를 형성할 수 있다. 상기 웨이퍼의 상부에 평탄화 공정을 수행할 수 있다.

예시적인 실시예들에 있어서, 상기 커버는 상기 웨이퍼와 동일한 반도체 물질을 포함할 수 있다.

예시적인 실시예들에 있어서, 상기 커버가 배치되지 않은 상기 웨이퍼의 상면에는 공기 중의 산소가 상기 웨이퍼에 포함된 상기 반도체 물질과 결합하여 기체가 생성되고, 상기 기체가 상기 웨이퍼의 상면으로부터 배출되어 상기 웨이퍼의 상면에 결합이 발생할 수 있다.

예시적인 실시예들에 있어서, 상기 평탄화 공정은 화학 기계적 연마(CMP) 공정을 포함할 수 있다.

예시적인 실시예들에 있어서, 상기 웨이퍼의 상부에 상기 리세스들이 형성된 영역을 둘러싸는 얼라인 키를 형성할 수 있으며, 상기 평탄화 공정은 상기 얼라인 키에 의해 둘러싸이는 상기 웨이퍼 영역의 상면에 수행될 수 있다.

예시적인 실시예들에 있어서, 기준 온도(T2)에서 상기 어닐링 공정에 의해 상기 리세스들이 상기 캐비티로 변환되기 위해 소요되는 시간에 대한 실제 온도(T1)에서 상기 어닐링 공정에 의해 상기 리세스들이 상기 캐비티로

변환되기 위해 소요되는 시간의 비율($t_{ratio}(T1/T2)$)은 다음 식 (1)에 의해 계산될 수 있으며,

[0026] $t_{ratio}(T1/T2) = e^{-a(1-T2/T1)} \sim$ 식 (1)

[0027] ($T1, T2$: 절대온도, $a = E/kBT2$, E : 상기 반도체 물질의 활성화 에너지, kB : 볼츠만 상수)

[0028] 상기 계산된 시간 비율에 따라 상기 실제 온도($T1$)에서 상기 어닐링 공정이 수행될 수 있다.

[0029] 예시적인 실시예들에 있어서, 상기 반도체 물질의 활성화 에너지가 알려지지 않은 경우에는, 상기 기준 온도 ($T2$) 이외의 다른 온도에서 상기 어닐링 공정을 수행하여 상기 리세스들이 상기 캐비티로 변환되기 위해 소요되는 시간을 측정함으로써, 식 (1)의 a 값을 계산할 수 있다.

[0030] 예시적인 실시예들에 있어서, 상기 각 리세스들은 상기 웨이퍼의 상면에 수직한 수직 방향으로 형성된 측벽을 포함할 수 있다.

발명의 효과

[0031] 본 발명의 실시예들에 따른 캐비티 웨이퍼 제작 방법에서, 웨이퍼에 리세스들을 형성하고 이에 어닐링 공정을 수행하여 캐비티를 형성할 수 있으며, 상기 웨이퍼가 확산 계수가 알려지지 않은 반도체 물질을 포함하더라도 상기 어닐링 공정 수행 시간을 정확하게 산정할 수 있다.

[0032] 또한, 상기 어닐링 공정 수행 시 산소와 상기 웨이퍼에 포함된 반도체 물질 사이의 반응에 의해서 상기 웨이퍼 표면에 결함이 발생할 수 있으나, 상기 리세스들이 형성된 영역의 상면에는 상기 웨이퍼와 동일한 물질을 포함하는 커버를 배치함으로써, 상기 반응을 차단하여 결함 발생을 방지할 수 있다.

[0033] 한편, 상기 리세스들의 폭과 간격을 조절함으로써, 상기 리세스들이 서로 연결되어 형성되는 상기 캐비티의 수직 방향의 폭, 및 상기 캐비티 상부에 형성되는 멤브레인의 두께를 조절할 수 있으며, 상기 각 리세스들의 종횡비 및 측벽의 기울기를 조절하여 상기 캐비티가 형성되는 층의 개수를 조절할 수 있다.

[0034] 또한, 상기 멤브레인의 두께 조절을 통해, 상기 웨이퍼 상면에 대한 평탄화 공정을 수행할 마진을 충분히 확보할 수 있다.

도면의 간단한 설명

[0035] 도 1a 및 1b는 예시적인 실시예들에 따른 캐비티 웨이퍼(cavity wafer)를 제작하기 위한 방법을 설명하기 위한 평면도들이고, 도 2 내지 도 5는 예시적인 실시예들에 따른 캐비티 웨이퍼를 제작하기 위한 방법을 설명하기 위한 단면도들이며, 도 6은 캐비티가 형성되기 위해 소요되는 어닐링 공정 수행 시간을 온도에 따라 도시한 그래프이다.

도 7 및 8은 각각 웨이퍼(100)에 상기 어닐링 공정을 수행함으로써 표면 확산 현상에 의해 리세스들(110)이 캐비티(140)로 변환되는 것을 도시한 사진들이다.

도 9 및 10은 각 리세스들(110)의 제1 폭($w1$)과 이들 사이의 제1 거리($s1$)에 따른 캐비티(140)의 제4 폭($w4$) 및 웨이퍼(100) 상면과의 제2 거리($s2$)를 설명하기 위한 사진들이다.

도 11 및 12는 표면 확산 현상에 의해 리세스들(110)이 캐비티(140)로 변환되는 경우, 각 리세스들(110)의 제1 폭($w1$)(혹은 지름)에 따른 캐비티(140)의 제3 방향($D3$)으로의 제4 폭($w4$), 캐비티(140)와 웨이퍼(100) 상면 사이의 제2 거리($s2$)(혹은 캐비티(140) 상부의 멤브레인 두께)를 설명하기 위한 그래프들이다.

발명을 실시하기 위한 구체적인 내용

[0036] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.

[0037] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0038] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의

해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로 사용될 수 있다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0039] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0040] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0041] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미이다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미인 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[0042] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.

[0043] 도 1a 및 1b는 예시적인 실시예들에 따른 캐비티 웨이퍼(cavity wafer)를 제작하기 위한 방법을 설명하기 위한 평면도들이고, 도 2 내지 도 5는 예시적인 실시예들에 따른 캐비티 웨이퍼를 제작하기 위한 방법을 설명하기 위한 단면도들이며, 도 6은 캐비티가 형성되기 위해 소요되는 어닐링 공정 수행 시간을 온도에 따라 도시한 그래프이다.

[0044] 도 1a를 참조하면, 웨이퍼(100)의 상부를 제거하여 리세스(110) 및 얼라인 키(alignment key)(120)를 형성할 수 있다.

[0045] 웨이퍼(100)는 예를 들어, 실리콘, 게르마늄, 실리콘-게르마늄 등과 같은 반도체 물질을 포함할 수 있다.

[0046] 일 실시예에 있어서, 리세스(110)는 웨이퍼(100)의 상면에 평행한 제2 방향(D2)으로 연장되는 바(bar) 형상을 가질 수 있으며, 웨이퍼(100)의 상면에 평행하고 제2 방향(D2)과 교차하는 제1 방향(D1)으로 서로 이격되도록 복수 개로 형성될 수 있다. 일 실시예에 있어서, 제1 및 제2 방향들(D1, D2)은 서로 직교할 수 있다.

[0047] 이때, 각 리세스들(110)은 제1 방향(D1)으로 제1 폭(w1)을 가질 수 있으며, 제1 방향(D1)으로 서로 인접하는 리세스들(110)은 제1 거리(s1)만큼 서로 이격될 수 있다. 일 실시예에 있어서, 제1 거리(s1)는 제1 폭(w1)보다 작을 수 있다. 한편, 각 리세스들(110)은 웨이퍼(100)의 상면으로부터 이에 수직인 제3 방향(D3)으로 깊이(d)를 가질 수 있다.

[0048] 다른 실시예들에 있어서, 각 리세스들(110)은 상부에서 보았을 때 원형, 타원형, 다각형, 혹은 모서리가 라운드진 다각 형상을 가질 수도 있다. 도 1b에는 각 리세스들(110)이 상부에서 보았을 때 원형을 갖는 것이 도시되어 있다.

[0049] 예시적인 실시예들에 있어서, 리세스들(110)은 각 제1 및 제2 방향들(D1, D2)을 따라 서로 이격되도록 복수 개로 형성될 수 있으며, 상부에서 보았을 때, 예를 들어 격자 형상으로 배열될 수 있다. 이때, 각 리세스들(110)은 웨이퍼(100)의 상면에 평행한 수평 방향으로 일정한 크기의 제1 폭(w1)을 가질 수 있으며, 각 제1 및 제2 방향들(D1, D2)으로 서로 인접하는 리세스들(110)은 제1 거리(s1)만큼 서로 이격될 수 있다. 이때, 각 리세스들(110)의 제1 폭(w1)은 제1 거리(s1)보다 클 수 있다.

[0050] 얼라인 키(120)는 웨이퍼(100)에서 리세스들(110)이 형성된 영역을 둘러싸는 영역의 일부에 형성될 수 있으며, 예를 들어, 상부에서 보았을 때, 꺾쇠 형상을 가질 수 있다. 도면 상에서는 얼라인 키(120)가 리세스들(110)이 형성된 영역을 둘러싸는 직사각형상의 모서리들에 형성된 것이 도시되어 있으나, 본 발명의 개념은 이에 한정

되지는 않는다.

- [0051] 일 실시예에 있어서, 얼라인 키(120)는 제2 방향(D2)으로 연장되는 제1 연장부 및 제1 방향(D1)으로 연장되는 제2 연장부를 포함할 수 있으며, 이들의 말단부들이 서로 접촉하여 연결될 수 있다. 이때, 상기 제1 연장부는 제1 방향(D1)으로 제2 폭(w2)을 가질 수 있으며, 상기 제2 연장부는 제2 방향(D2)으로 제3 폭(w3)을 가질 수 있다. 예시적인 실시예들에 있어서, 제2 및 제3 폭들(w2, w3)은 제1 폭(w1)보다 클 수 있다.
- [0052] 다만, 얼라인 키(120)의 형상은 한정되지 않으며, 리세스(110)의 제1 폭(w1)보다 큰 폭을 갖는 임의의 형상을 가질 수 있다.
- [0053] 도 3을 참조하면, 웨이퍼(100)의 상면에 커버(200)를 배치하고, 웨이퍼(100)에 대해 어닐링(annealing) 공정을 수행할 수 있다.
- [0054] 예시적인 실시예들에 있어서, 커버(200)는 적어도 리세스들(110)이 형성된 웨이퍼(100) 영역을 덮도록 웨이퍼(100) 상면에 배치될 수 있다. 이와는 달리, 커버(200)는 웨이퍼(100)의 전체 상면을 덮도록 배치될 수도 있다.
- [0055] 일 실시예에 있어서, 커버(200)는 웨이퍼(100)와 동일한 물질, 즉 예를 들어, 실리콘, 게르마늄 혹은 실리콘-게르마늄과 같은 반도체 물질을 포함할 수 있다.
- [0056] 예시적인 실시예들에 있어서, 상기 어닐링 공정은 챔버 내에서 수행될 수 있으며, 상기 챔버는 예를 들어 섭씨 800도 이상의 고온을 유지할 수 있다.
- [0057] 일 실시예에 있어서, 상기 어닐링 공정이 수행되는 상기 챔버는 대략 10^{-6} Torr 이하의 고진공 상태를 유지할 수 있다. 상기 어닐링 공정이 고온 및 고진공 상태에서 수행될 경우, 공기 중에 포함된 산소가 웨이퍼(100)에 포함된 반도체 물질과 결합하여, 예를 들어, 실리콘 일산화물(SiO), 게르마늄 일산화물(GeO)과 같은 기체가 생성될 수 있으며, 상기 생성된 기체는 웨이퍼(100)의 상면으로부터 공기 중으로 빠져나가 웨이퍼(100)의 상면에 결합(130)이 발생할 수 있다.
- [0058] 하지만 예시적인 실시예들에 있어서, 리세스들(110)이 형성된 영역의 웨이퍼(100) 상면에는 커버(200)가 배치될 수 있으며, 산소의 평균 자유 경로(mean free path)는 대략 10^2 nm로서 웨이퍼(100)의 표면의 거칠기인 대략 1nm보다 훨씬 크므로, 적어도 상기 리세스들(110)이 형성된 영역에서는 산소와 웨이퍼(100)에 포함된 반도체 물질의 반응이 방지될 수 있다. 이에 따라, 상기 어닐링 공정이 고온 및 고진공 상태인 챔버 내에서 수행되어 웨이퍼(100)의 상면에 결합(130)이 발생하더라도, 적어도 상기 리세스들(110)이 형성된 영역에서는 결합(130)이 발생하지 않을 수 있다.
- [0059] 다른 실시예에 있어서, 상기 챔버 내에서 리세스들(110)이 형성된 영역의 웨이퍼(100) 상면을 뒤집어 하면이 상부로 향하도록 한 다음, 웨이퍼(100)에 대해 상기 어닐링 공정을 수행할 수도 있다. 이 경우, 웨이퍼(100)와 상기 챔버의 내벽 사이의 공간에 비해서 산소의 평균 자유 경로(mean free path)가 더 클 수 있으므로, 리세스들(110)이 형성된 웨이퍼(100)의 표면에 커버(200)를 배치하지 않고도, 상기 리세스들(110)이 형성된 영역에서는 결합(130)이 발생하지 않을 수 있다.
- [0060] 또 다른 실시예에 있어서, 상기 어닐링 공정은 고진공 상태에서 수행되지 않을 수도 있으며, 다만 반응성 기체의 농도가 낮은 반면, 비반응성 기체, 예를 들어, 아르곤, 불소 등과 같은 불활성 기체를 포함하는 분위기에서 수행될 수 있다. 이 경우, 산소와 웨이퍼(100)에 포함된 반도체 물질 사이의 반응에 의해서 예를 들어, 실리콘 일산화물(SiO), 게르마늄 일산화물(GeO)과 같은 기체가 생성되지 않을 수 있으므로, 웨이퍼(100) 상면에 결합(130)이 형성되는 것이 방지될 수 있다.
- [0061] 도 4를 참조하면, 상기 어닐링 공정을 수행함에 따라 웨이퍼(100)에 포함된 반도체 물질의 표면 확산 현상이 발생할 수 있으며, 이에 따라 웨이퍼(100) 상부에 형성된 리세스들(110)이 서로 연결되어 캐비티(cavity)(140)가 생성될 수 있다.
- [0062] 한편, 얼라인 키(120)의 경우 리세스(110)의 제1 폭(w1)보다 큰 제2 및 제3 폭들(w2, w3)을 가지므로, 상기 어닐링 공정을 수행하더라도 표면 확산 현상에 의해 얼라인 키(120)의 상부가 웨이퍼(100)에 포함된 반도체 물질로 채워지지 않을 수 있다. 이에 따라, 상기 어닐링 공정 이후에도 얼라인 키(120)는 소멸되지 않고 외부에서 관측 가능한 상태로 잔류할 수 있다.
- [0063] 예시적인 실시예들에 있어서, 상기 어닐링 공정을 수행함에 따라 웨이퍼(100)에 포함된 반도체 물질이 확산되어 리세스들(110)의 상부를 채울 수 있으며, 이에 따라 캐비티(140)는 웨이퍼(100)의 상면 아래에 형성될 수 있다.

이때, 캐비티(140)의 상면과 웨이퍼(100)의 상면은 제2 거리(s2)만큼 서로 이격될 수 있다. 또한 캐비티(140)는 제3 방향(D3)으로 제4 폭(w4)을 가질 수 있다.

[0064] 상기 표면 확산의 속도는 웨이퍼(100)에 포함된 반도체 물질의 확산 계수에 비례할 수 있으며, 상기 표면 확산 현상을 이용하여 리세스들(110)로부터 캐비티(140)를 형성하기 위해 소요되는 상기 어닐링 공정의 수행 시간은 아레니우스(Arrhenius) 공식으로부터 다음과 같이 도출될 수 있다.

[0065] $t_{\text{annealing}} \sim 1/D(T) \sim (1)$

[0066] ($t_{\text{annealing}}$: 어닐링 시간, $D(T)$: 확산 계수)

[0067] $D(T) = D_0 e^{-E/kBT} \sim (2)$

[0068] (D_0 : 초기 상수, E : 활성화 에너지, kB : 볼츠만 상수, T : 절대 온도)

[0069] 식 (1), (2)에 따라서,

[0070] $t_{\text{ratio}}(T1/T2) = t_{\text{annealing}, T1} / t_{\text{annealing}, T2} = e^{-E/kBT2} / e^{-E/kBT1} \sim (3)$

[0071] ($t_{\text{annealing}, T1}$: $T1$ 에서 어닐링 시간, $t_{\text{annealing}, T2}$: $T2$ 에서 어닐링 시간, $t_{\text{ratio}}(T1/T2)$: $T2$ 에서의 어닐링 시간에 대한 $T1$ 에서의 어닐링 시간 비율)

[0072] 식 (3)에서, $E/kBT2 = a$ (상수)로 치환하면

[0073] $t_{\text{ratio}}(T1/T2) = e^{-a(1-T2/T1)} \sim (4)$ 을 얻을 수 있다.

[0074] 일 실시예에 있어서, 게르마늄을 포함하는 웨이퍼(100)에 대해 각각 섭씨 830도, 860도 및 890도에서 상기 어닐링 공정을 수행하는 실험을 하였으며, 캐비티(140)가 형성되기 위해서 소요되는 상기 어닐링 공정 시간은 각각 750분, 150분 및 30분이었다. 이에 따라, 기준 온도($T2$)가 섭씨 890도인 경우 상기 어닐링 공정 수행 시간은 30분이므로, 섭씨 860도 및 섭씨 830도에서 상기 어닐링 공정이 수행되는 시간은 각각 이의 5배 및 25배이므로, 식 (4)에서 상수 a 는 대략 72의 값으로 계산되었다.

[0075] 예를 들어, 상수 a 가 72의 값을 가질 때, $a = E/kBT2$ ($T2$: 섭씨 890도)로부터 활성화 에너지 $E = 1.1557 \times 10^{-18}$ J임을 알 수 있었으며, 이는 섭씨 180도 내지 섭씨 230도에서 게르마늄이 갖는 활성화 에너지 $E = 2.22 \times 10^{-19}$ J (K. Fukutani, Surf. Sci., 282, 285 (1991) 참조)과 비교할 때, 온도를 고려하면 충분히 신뢰할 만한 값을 알 수 있다.

[0076] 이에 따라, 웨이퍼(100)가 예를 들어, 게르마늄을 포함하는 경우, 상수 a 가 72를 갖는 것에 기초하여 임의의 온도에서 캐비티 형성을 위해 필요한 상기 어닐링 공정 수행 시간을 추정할 수 있다.

[0077] 도 6을 참조하면, 섭씨 890도에서 상기 어닐링 공정을 수행한 시간을 기준 시간으로 하여, 섭씨 830도 및 860도에서 상기 어닐링 공정을 수행한 시간들을 각각 표시하고, 또한 전술한 식 (4)에 따른 어닐링 시간에 대한 지수 함수의 그래프를 함께 도시하였다.

[0078] 상기 어닐링 시간에 관한 그래프를 이용하여, 특정 온도에서 예를 들어, 게르마늄을 포함하는 웨이퍼(100)에서 특정한 형상 및 일정한 공정 조건 하에서 리세스들(110)로부터 캐비티(140)를 형성하기 위한 어닐링 시간을 추정할 수 있다.

[0079] 즉, 웨이퍼(100)가 특정한 반도체 물질을 포함하는 경우, 일정한 폭을 갖는 리세스들(110)이 서로 일정한 간격으로 이격되도록 복수 개로 형성한 후, 특정한 진공도를 갖거나 혹은 특정한 비반응 기체 분위기 하에서, 여러 온도에서 어닐링 공정을 수행함으로써 전술한 상수 a 값을 도출해 낼 수 있으며, 이로부터 얻어지는 지수 함수의 그래프로부터 다른 임의의 특정 온도에서 필요한 어닐링 시간을 추정해 낼 수 있다.

[0080] 도 5를 참조하면, 웨이퍼(100)의 상부를 예를 들어, 화학 기계적 연마(Chemical Mechanical Polishing: CMP) 공정을 통해 평탄화할 수 있으며, 이에 따라 웨이퍼(100)의 표면이 매끄럽게 되어 표면 조도가 감소할 수 있다.

[0081] 상기 평탄화 공정을 수행함에 따라서, 웨이퍼(100)의 상면과 캐비티(140)의 상면 사이의 거리는 제2 거리(s2)에

서 제3 거리(s3)로 감소될 수 있다.

- [0082] 예시적인 실시예들에 있어서, 상기 평탄화 공정은 캐비티(140)가 형성된 영역에 대해 수행될 수 있다. 다만 상기 캐비티(140)가 형성된 영역은 외부에서 보이지 않기 때문에 직접적으로 알 수는 없으나, 얼라인 키(120)에 의해, 즉 얼라인 키들(120)에 의해 둘러싸이는 영역에 캐비티(140)가 형성된 것으로 추정할 수 있다.
- [0083] 예시적인 실시예들에 있어서, 각 리세스들(110)의 측벽은 웨이퍼(100)의 상면에 대해 수직일 수 있으며, 이때 리세스들(110)이 서로 연결되어 형성되는 캐비티(140)는 하나의 층에 형성될 수 있다.
- [0084] 이와는 달리, 각 리세스들(110)의 측벽이 웨이퍼(100)의 상면에 대해 수직이 아닌 경사를 가질 경우, 리세스들(110)이 서로 연결되어 형성되는 캐비티(140)는 복수의 층들에 형성될 수도 있다.
- [0085] 도 7 및 8은 각각 웨이퍼(100)에 상기 어닐링 공정을 수행함으로써 표면 확산 현상에 의해 리세스들(110)이 캐비티(140)로 변환되는 것을 도시한 사진들이다.
- [0086] 도 7을 참조하면, 각 리세스들(110)이 수직 측벽을 가지며, 이에 따라 리세스들(110)은 하나의 캐비티(140)로 변환되었다.
- [0087] 반면 도 8을 참조하면, 각 리세스들(110)이 부분적으로 경사진 측벽을 가지며, 이에 따라 리세스들(110)은 2개의 캐비티들(140)로 변환되었다.
- [0088] 이에 따라, 웨이퍼(100)의 상부를 제거하여 리세스들(110)을 형성할 때, 각 리세스들(110)의 측벽이 이루는 각도를 조절함으로써, 하나 혹은 복수의 층들에 캐비티(140)를 형성할 수 있음을 알 수 있다.
- [0089] 이때, 하나의 층에 형성되는 캐비티(140)의 수직 방향 즉, 제3 방향(D3)으로의 폭은 복수의 층들에 형성되는 각 캐비티들(140)의 제3 방향(D3)으로의 폭보다 클 수 있다. 또한, 상기 하나의 층에 형성된 캐비티(140)의 상면과 웨이퍼(100) 상면 사이의 제2 거리(s2)는 상기 복수의 층들에 형성된 캐비티들(140) 중에서 최상층 캐비티(140)의 상면과 웨이퍼(100) 상면 사이의 제2 거리(s2)보다 더 클 수 있다.
- [0090] 이에 따라, 각 리세스들(110)의 측벽의 기울기를 조절함으로써, 도 5를 참조로 설명한 상기 평탄화 공정을 위한 공정 마진을 조절할 수 있다.
- [0091] 한편, 각 리세스들(110)의 깊이(d)에 대한 제1 폭(w1)의 비율 즉, 종횡비(aspect ration)를 조절함으로써, 캐비티(140)가 형성되는 층의 개수를 조절할 수도 있다. 즉, 예를 들어 각 리세스들(110)의 종횡비가 각각 1:5, 1:10 및 1:15인 경우, 캐비티(140)가 형성되는 층은 각각 1개 층, 2개 층 및 3개 층들일 수 있다.
- [0092] 도 9 및 10은 각 리세스들(110)의 제1 폭(w1)과 이들 사이의 제1 거리(s1)에 따른 캐비티(140)의 제4 폭(w4) 및 웨이퍼(100) 상면과의 제2 거리(s2)를 설명하기 위한 사진들이다.
- [0093] 도 9 및 10을 참조하면, 각 리세스들(110)의 제1 폭(w1)(혹은 지름) 및 제1 거리(s1)가 각각 580nm 및 270nm인 경우에 비해서, 각각 1μm 및 470nm인 경우, 형성되는 캐비티(140)의 제4 폭(w4) 및 제2 거리(s2)가 더 크을 알 수 있다.
- [0094] 즉, 웨이퍼(100)의 상면을 부분적으로 제거하여 형성되는 각 리세스들(110)의 제1 폭(w1)(혹은 지름) 및 이들 사이의 제1 거리(s1)를 조절함으로써, 이들이 연결되어 형성되는 캐비티(140)의 제3 방향(D3)으로의 제4 폭(w4), 및 제3 방향(D3)으로의 웨이퍼(100) 상면과의 제2 거리(s2) 즉, 캐비티(140) 상부에 형성되는 웨이퍼(100)의 멤브레인(membrane) 두께(t)를 조절할 수 있음을 알 수 있다.
- [0095] 도 11 및 12는 표면 확산 현상에 의해 리세스들(110)이 캐비티(140)로 변환되는 경우, 각 리세스들(110)의 제1 폭(w1)(혹은 지름)에 따른 캐비티(140)의 제3 방향(D3)으로의 제4 폭(w4), 캐비티(140)와 웨이퍼(100) 상면 사이의 제2 거리(s2)(혹은 캐비티(140) 상부의 멤브레인 두께)를 설명하기 위한 그래프들이다.
- [0096] 도 11 및 12를 참조하면, 각 리세스들(110)의 제1 폭(w1)(혹은 지름(D))이 700nm보다 작은 경우에 비해 700nm보다 큰 경우 제4 폭(w4) 및 제2 거리(s2)가 더 크을 알 수 있다.
- [0097] 한편, 도 7 및 8을 참조로 설명한 바와 같이, 각 리세스들(110)의 측벽이 경사진 측벽(Previous Work) 대신 수직 측벽(Present Work)을 갖도록 형성함으로써, 리세스들(110)이 서로 연결되어 형성되는 캐비티(140)의 제4 폭(w4) 및 제2 거리(s2)가 향상됨을 알 수 있다.

산업상 이용가능성

[0098] 본 발명의 개념에 따른 캐비티 웨이퍼 제작 방법은 미세 측정에 사용되는 멤스(MEMS) 압력 센서, 관성 센서, 마이크로폰, 마이크로 유체칩 등의 제작에 적용될 수 있다. 또한 본 발명의 개념에 따른 캐비티 웨이퍼 제작 방법은 반도체 물질의 성장 기판(growth template)에도 사용될 수 있다.

[0099] 한편, 본 발명의 개념에 따른 웨이퍼 제작 방법은 각종 메모리 장치, 시스템 반도체 장치의 제작 등에도 활용될 수 있다.

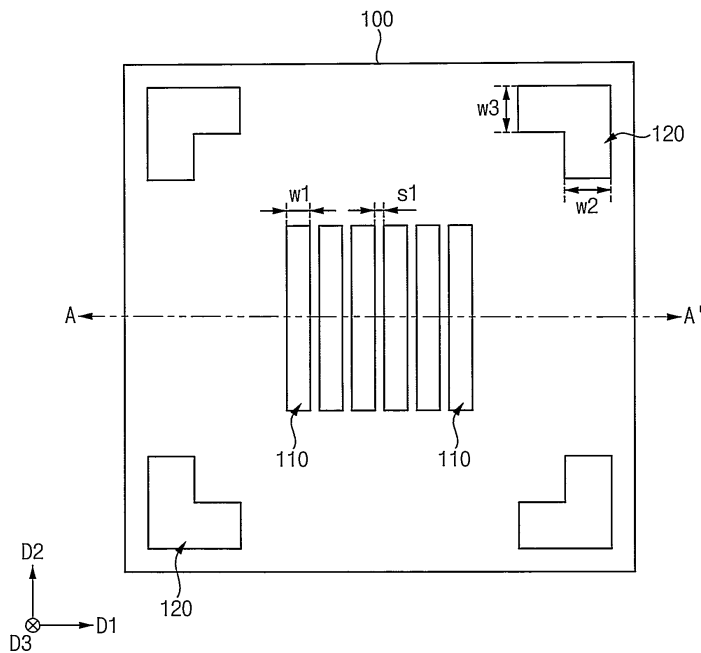
[0100] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 것이다.

부호의 설명

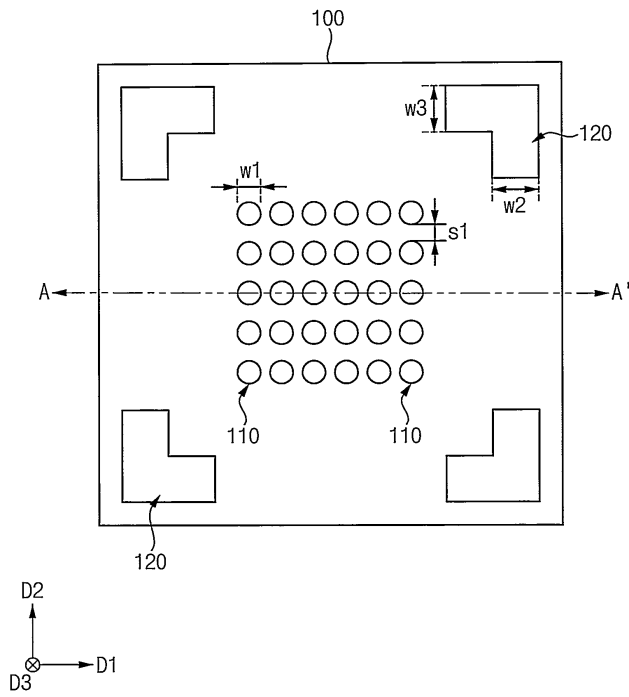
[0101] 100: 웨이퍼 110: 리세스
 120: 얼라인 키 130: 결합
 140: 캐비티 200: 커버
 d: 깊이 s1, s2, s3: 제1 내지 제3 거리
 w1, w2, w3, w4: 제1 내지 제4 폭

도면

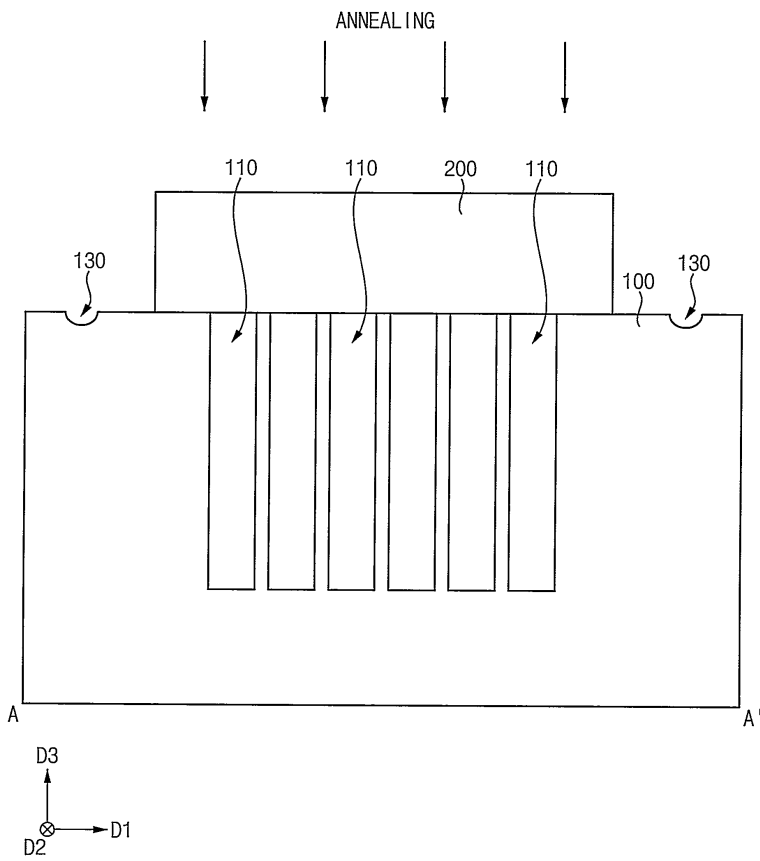
도면 1a



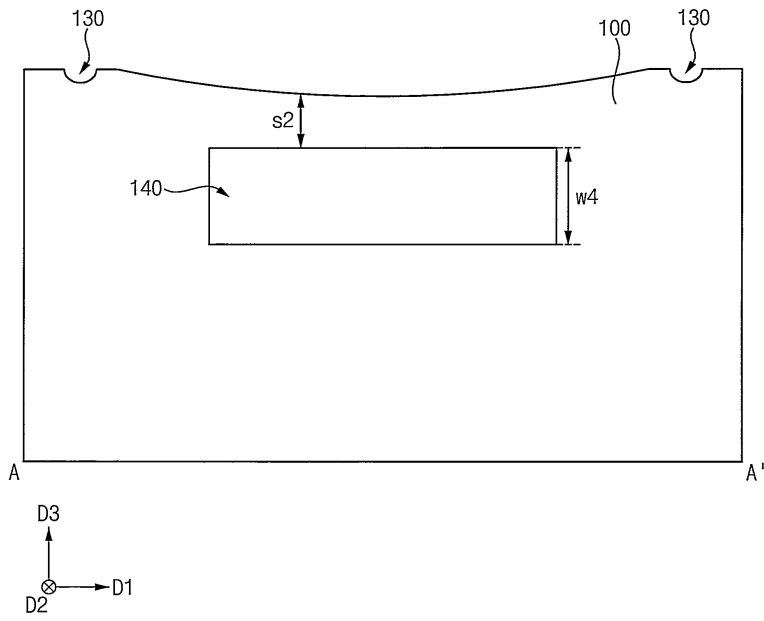
도면1b



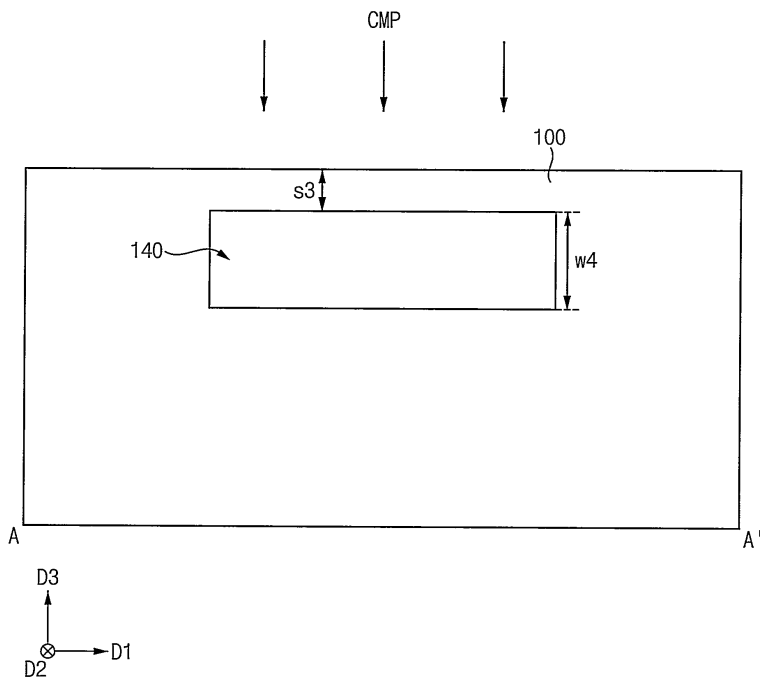
도면3



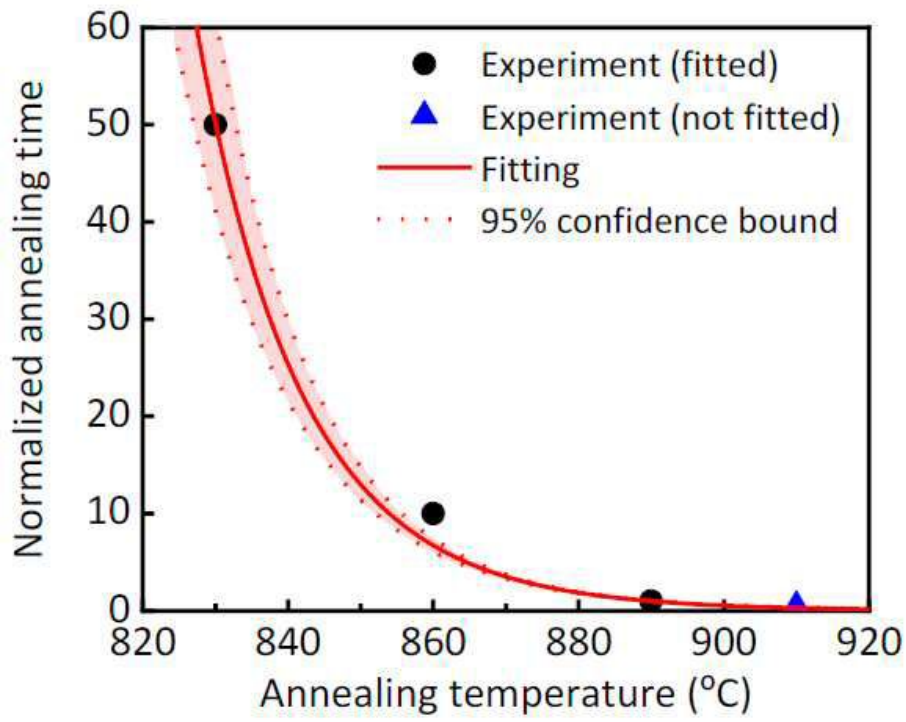
도면4



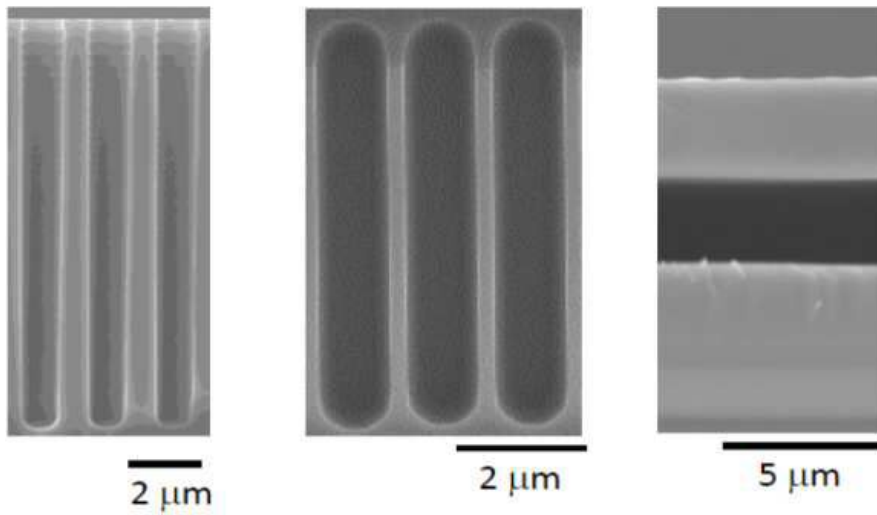
도면5



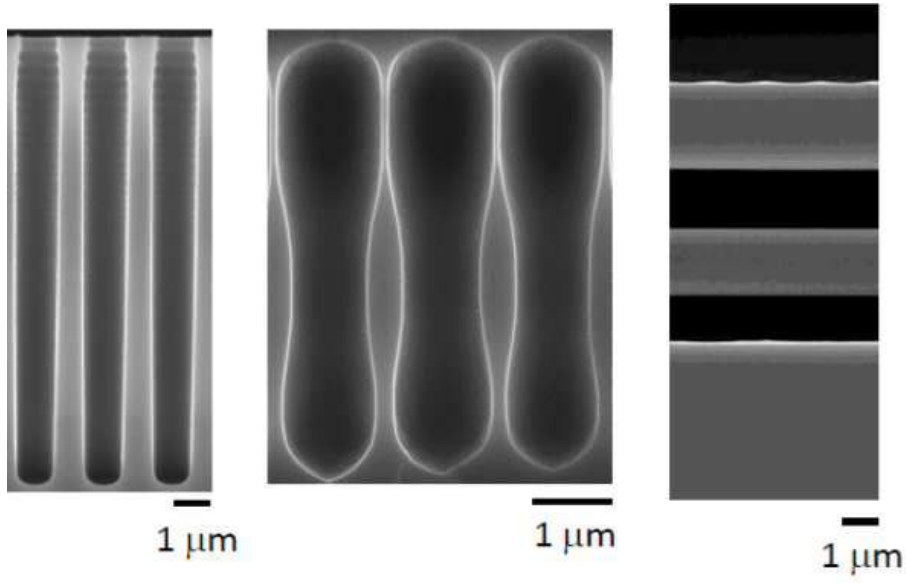
도면6



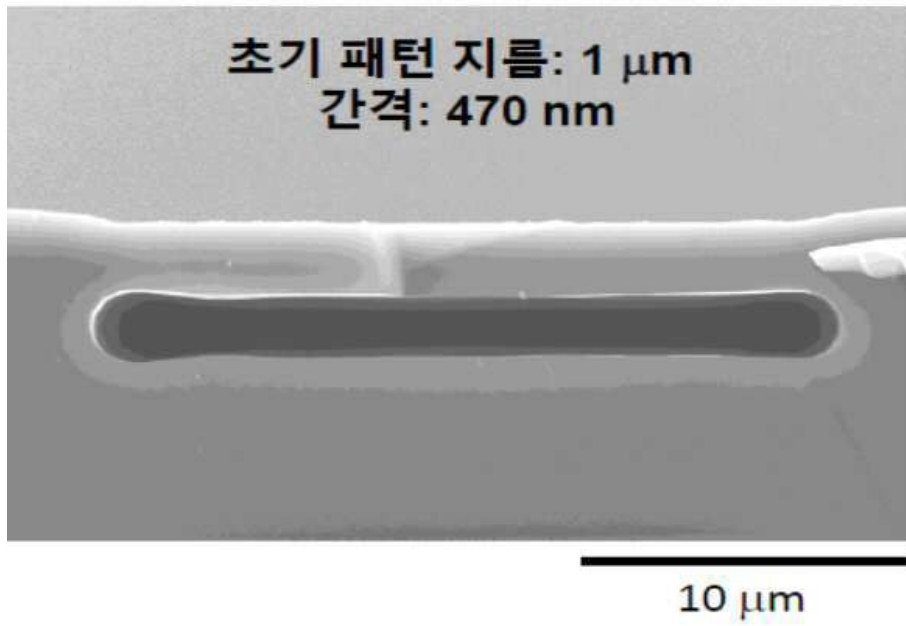
도면7



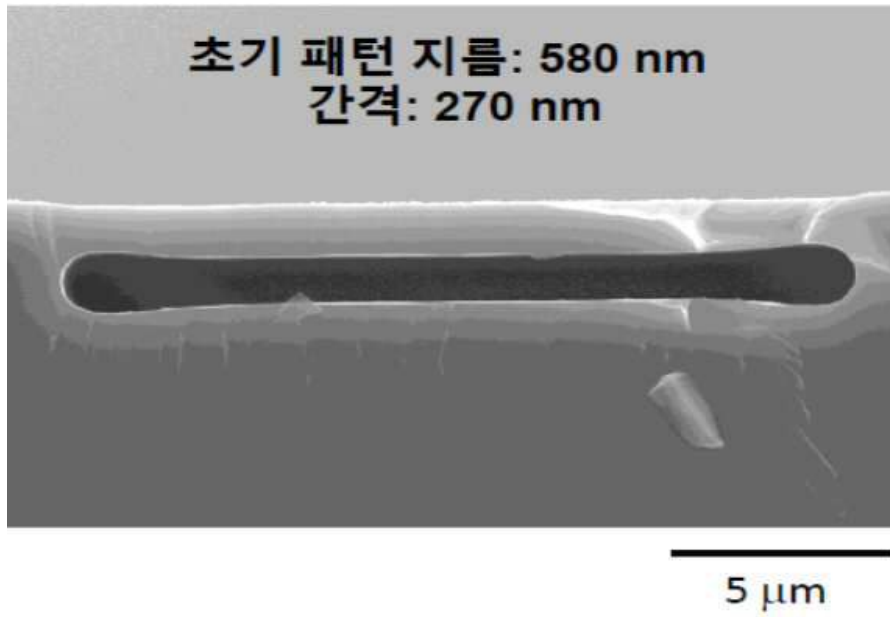
도면8



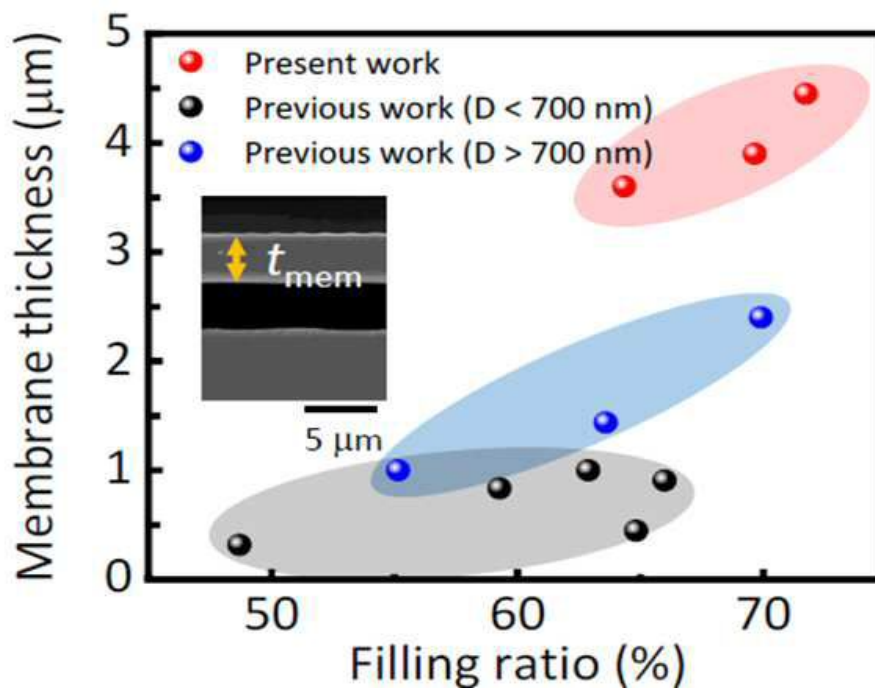
도면9



도면10



도면11



도면12

